

PAT-NO: JP405102232A  
DOCUMENT-IDENTIFIER: JP 05102232 A  
TITLE: SEMICONDUCTOR MANUFACTURING DEVICE  
PUBN-DATE: April 23, 1993

INVENTOR-INFORMATION:  
NAME  
TANIGUCHI, JUN

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SEIKO EPSON CORP N/A

APPL-NO: JP03259325  
APPL-DATE: October 7, 1991

INT-CL (IPC): H01L021/60  
US-CL-CURRENT: 228/1.1, 228/258

ABSTRACT:

PURPOSE: To cut down the required time for wire bonding step as well as the manufacturing cost of semiconductor device by a method wherein, in order to connect an electrode pad to a relay point, the bonding step of multiple wires is performed at one time using a capillary wherein multiple holes are made in-parallel.

CONSTITUTION: Wires 3 are passed through respective multiple holes 2 juxtaposed in a capillary 1; the wire 3 ends are made spherical by electric discharge; another capillary 2 is moved to junction an electrode pad 5 with a relay point 6 by pressurization and ultrasonic vibration; and then the wires 3

are cut down. Thus, the bonding step of multiple wires can be performed at one time by equalizing the pitch of the holes 2 of the capillary 1 to that of the electrode pad 5. Furthermore, the dispersion in the loop shape caused by the dispersion in the capillary locus control due to the repetition reproducibility precision of a wire-bonding device can be diminished.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-102232

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.<sup>5</sup>  
H01L 21/60

識別記号 庁内整理番号  
301 G 6918-4M

FI

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-259325

(22)出願日 平成3年(1991)10月7日

(71)出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 谷口 潤

長野県諏訪市大和3丁目3番5号セイコー  
エプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

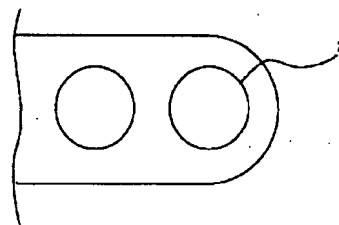
(54)【発明の名称】 半導体製造装置

(57)【要約】

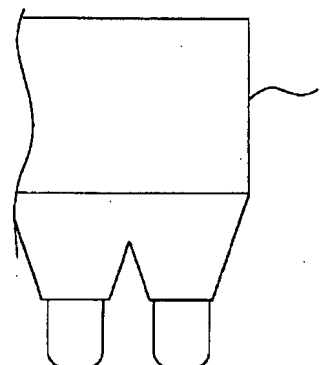
【構成】半導体製造装置に、ワイヤを供給する機構を複数有し、複数個の貫通孔を設けたキャピラリを用いる。

【効果】ワイヤボンディング所要時間を短縮することによる半導体装置製造原価の低減、又、電極パッド上にワイヤを接合する際の位置精度安定性向上、ループ形状安定性向上を実現する。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 半導体集積回路4表面に形成された電極パッド5と、リードフレーム等の外部接続端子7との間に、前記電極パッドのピッチと同一ピッチに配列された導電性を有する中継点6（以下中継点と呼ぶ）が形成された半導体装置において、電極パッドと中継点とを接続する際、半導体製造装置に導電性細線を供給する機構を複数設け、並列した複数の貫通孔2を設けたボンディングツールを用い、複数の導電性細線を通すことにより、一度に複数本のワイヤボンディングを行なうことを特徴とした半導体製造装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路の表面に形成された電極パッドと中継点とを導電性細線にて接続する半導体製造装置に関するものである。

## 【0002】

【従来の技術】半導体集積回路表面に形成された電極パッドとリードフレームのリードやセラミック基板あるいは樹脂基板表面に形成された配線パターンとを導電性細線3（以下ワイヤと呼ぶ）を用いて接続することをワイヤボンディングと言う。

【0003】ここでは、ワイヤボンディングの方式の一つであるボールボンディングの説明をする。まず先端の尖った貫通孔を持つ筒状のツール（以下キャピラリーと呼ぶ）にワイヤを通してそのワイヤ先端をキャピラリー下端よりわずかに突出させ、その突出端を電気放電により加熱溶融することにより球状にし、電極パッド上にキャピラリーを移動させ、加圧、超音波振動により接合する。次に、ワイヤを送りながら外部接続端子上にキャピラリーを移動させ加圧、超音波振動により接合しながら、ワイヤを切断する。以上の動作を電極パッドと外部接続端子との接続本数分繰り返される方法である。

## 【0004】

【発明が解決しようとする課題】近年、半導体集積回路は、多機能化、高機能化が著しく進み、それに伴ない電極パッド数や外部接続端子数も増加の一途をたどる一方である。それとあいまって半導体集積回路の小型化に伴ない電極パッドピッチの微細化も進んでいるが、外部接続端子側の微細化は遅れており、半導体集積回路から遠い位置に、外部接続端子を配置しなくてはならず、半導体集積回路表面の電極パッドと外部接続端子間を長いワイヤを用いて接続しなくてはならない。

【0005】しかし、ワイヤボンディング装置精度によるキャピラリー軌跡コントロールのばらつきや、ワイヤのきず、ねじれ等により生ずる、ワイヤの曲がり、たるみはワイヤが長くなる程発生しやすくなる。

【0006】そこで、ワイヤ長さをおさえる為、電極パッドと外部接続端子との間に配線パターンを形成した基板等の中継点を設けた半導体装置も発明されている。

【0007】本発明の目的は、上記のような電極パッドと外部接続端子との間に中継点を有する半導体装置のワイヤボンディング所要時間を短縮することにより半導体装置製造原価の低減を実現することにある。

## 【0008】

【課題を解決するための手段】本発明の半導体製造装置は、複数本のワイヤを供給する機構を有し、並列した複数の貫通孔2を設けたキャピラリー1を用い、複数本のワイヤを通すことにより、一度に複数本のワイヤボンディングを行なうことを特徴とする。

## 【0009】

【作用】本発明の上記の構造により、一度に複数本のワイヤボンディングを行なうことができ、ループ形状の安定性、電極パッドのワイヤ接合位置の安定性を向上させることができる。

## 【0010】

【実施例】図1は本発明に用いるキャピラリーの模式図であり、図1（a）は平面図、図1（b）は側面図である。本発明に用いるキャピラリーの形状は、キャピラリー製造用金型の新規製作を行ない、先端加圧接合部は従来のキャピラリーと同一、並列した孔のピッチは電極パッドのピッチと同一にすることにより得られる。

【0011】本発明の半導体製造装置は、並列した複数の貫通孔を持ったキャピラリーを使用する為、ワイヤを供給する機構を複数有している。又、キャピラリーの向きと直行する向きに配列された電極パッドと中継点にワイヤボンディングする場合は、キャピラリーの取り付けである部分を直角に回転させることにより行なうことを特徴とする。

【0012】図2から図5は、本発明の実施例を示す説明図である。キャピラリーの並列した複数の孔のそれぞれにワイヤを通し、そのワイヤ先端を電気放電により球状にし、キャピラリーを従来と同様の方法で移動させ、電極パッド、中継点に加圧、超音波振動により接合を行ない、ワイヤを切断する。

【0013】この様に、ワイヤボンディング方法は、従来と同様のままで、キャピラリーの並列した孔のピッチを電極パッドのピッチと同一にすることにより一度に複数本のワイヤボンディングを行なうことができるようになる。

【0014】又、キャピラリー貫通孔のピッチは固定となっている為、電極パッド上にワイヤを接合する際の位置精度の安定性向上、その他、一度に複数本のワイヤボンディングを行なうことにより、ワイヤボンディング装置の繰り返し再現性精度によるキャピラリー軌跡コントロールのばらつきの為に発生するループ形状のばらつきの低減させることができるという特徴をもっている。

## 【0015】

【発明の効果】以上述べた様に本発明によれば、キャピラリーに並列した複数の孔を設けることにより、一度に

3

複数本のワイヤボンディングを行なうことができる。

【0016】又、従来の一本ずつワイヤボンディングをする方法では、ワイヤボンディング装置の繰り返し再現性精度によるキャピラリ軌跡コントロール精度のばらつきによるループ形状のばらつきや電極パッド上にワイヤを接合する際のワイヤボンディング位置のばらつきが発生することがあったが、一度に複数本ワイヤボンディングを行なうことにより上記不具合の発生頻度を低減することができる。

【図面の簡単な説明】

【図1】 本発明に用いるキャピラリの模式図であり、(a)は平面図、(b)は側面図である。

【図2】本発明の実施例のワイヤボンディングの順序を示す側面図である。

【図3】本発明の実施例のワイヤボンディングの順序を

4

示す側面図である。

【図4】本発明の実施例のワイヤボンディングの順序を示す側面図である。

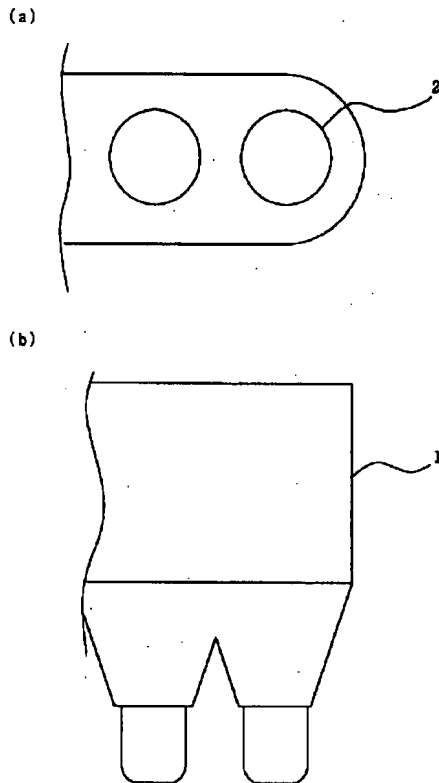
【図5】本発明の実施例のワイヤボンディングの順序を示す側面図である。

【図6】本発明に用いる半導体装置であり、(a)は平面図、(b)は側面図である。

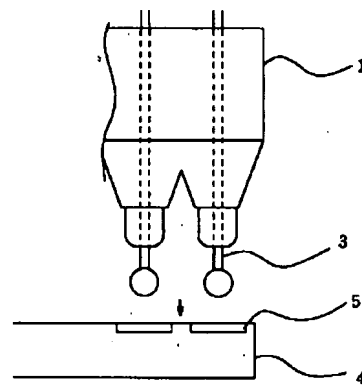
【符号の説明】

- 1 キャピラリ
- 2 貫通孔
- 3 ワイヤ
- 4 半導体集積回路
- 5 電極パッド
- 6 中継点
- 7 外部接続端子

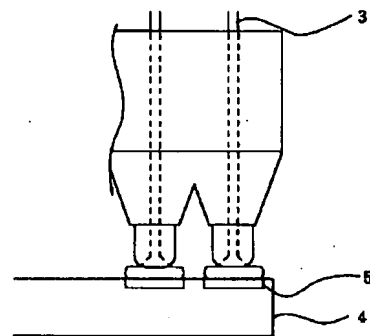
【図1】



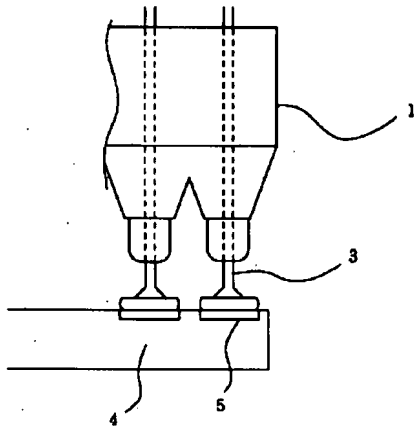
【図2】



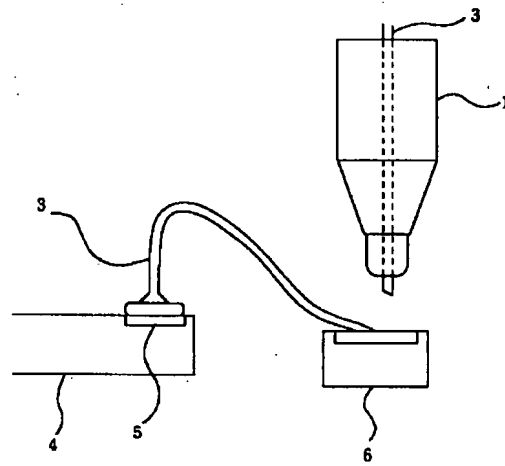
【図3】



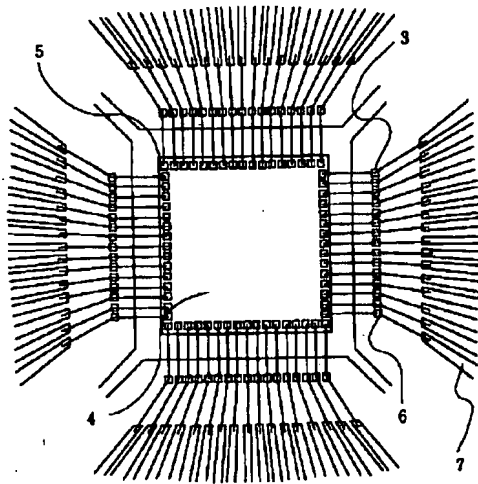
【図4】



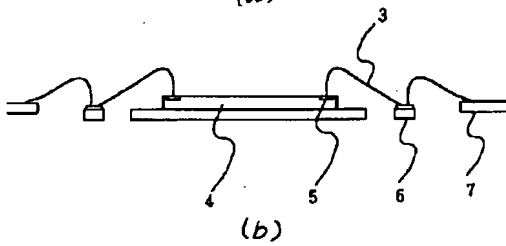
【図5】



【図6】



(a)



(b)